

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-231618
(43)Date of publication of application : 15.10.1986

(51)Int.Cl.

G05F 1/565

(21)Application number : 60-070818
(22)Date of filing : 05.04.1985

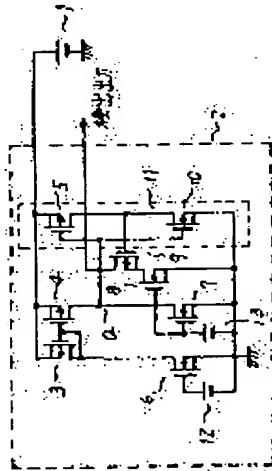
(71)Applicant : HITACHI LTD
(72)Inventor : ITO TAKAYASU
NISHIJIMA HIDEO

(54) TEMPERATURE DETECTION CIRCUIT

(57)Abstract:

PURPOSE: To detect abnormal heat of a power IC with a simple circuit by utilizing the difference in the temperature characteristic of a drain current due to the difference of a reference voltage between the gate and source of a MOSFET.

CONSTITUTION: A voltage value of a reference voltage of a reference power supply 12 is set higher than the voltage of a reference power supply 13. When FETs 6, 7 are in the same temperature and the temperature rises, the drain current of the FET 7 is not changed so much but the drain current of the FET 4 is decreased as the drain current of the FET 6 is decreased. When the temperature reaches a prescribed temperature, the drain current of the FET 4 is smaller than the drain current of the FET 7 and a potential of a connecting point (a) is inverted to an L level. Thus, the arrival to an abnormal temperature is detected since the potential of the connecting point (a) is inverted from an H level to the L level by setting properly the W/L of the FETs 6, 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑪ 公開特許公報 (A) 昭61-231618

⑥Int.Cl.
G 05 F 1/565識別記号
厅内整理番号
8527-5H

⑪公開 昭和61年(1986)10月15日

審査請求 未請求 発明の数 1 (全5頁)

⑫発明の名称 温度検出回路

⑬特願 昭60-70818

⑭出願 昭60(1985)4月5日

⑮発明者 伊藤 隆康 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑯発明者 西島 英男 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑰出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑱代理人 弁理士 小川 勝男 外1名

明細書

1 発明の名称 温度検出回路

2 特許請求の範囲

温度変化に応じてドレイン電流が変化するようゲート・ソース間電圧が設定された第1のMOSFETのドレインに第2のMOSFETのドレインを接続し、該第2のMOSFETとカレントミラー回路を形成する第3のMOSFETのドレインに温度変化に対しては流れれる電流が変化しない第4の素子を接続し、該第1のMOSFETのドレイン電流と該第4の素子に流れれる電流とに応じたレベルの検出出力信号を得ることができるように構成したことを特徴とする温度検出回路。

3 発明の詳細な説明

〔発明の利用分野〕

本発明は、パワーICの保護回路に係わり、特に、出力パワートランジスタの異常発熱検出などに好適な温度検出回路に関する。

〔発明の背景〕

従来のスイッチングレギュレータの保護回路としては、例えば、特開昭50-10544号に記載されたような過電流保護回路がある。これは、制御部とパワー部を同一チップに集積したパワーICであるが、しかしながら負荷にモータ等を使用した場合には、過負荷時に、過電流保護の検出回路が動作する以前の電流値でパワートランジスタが破壊されるという問題については、何等考慮されていなかった。

〔発明の目的〕

本発明の目的は、上記従来技術の欠点を除き、MOSFETを使用して簡単な回路構成でパワーICに於ける異常発熱を防止することを可能とした温度検出回路を提供することにある。

〔発明の構成〕

この目的を達成するため、本発明は、互いに異なる基準電圧がゲート及びソース間に印加された二つのMOSFETをカレントミラー回路を介して接続し、このゲートソース間基準電圧の差異によるドレイン電流の温度特性の違いを

利用して IC チップ温度を検出するようにした
点に特徴がある。

〔発明の実施例〕

以下、本発明の実施例を図面を用いて説明す
る。

第1図は本発明による温度検出回路の一実施
例を示す回路図であって、1は供給電源、3～
5は Pch MOSFET、6～10は Nch MOSFET、
11はインバータ、12、13は基準電源であり。
破線で囲んだ部分2がこの実施例である。

同図において、 Nch MOSFET 6のゲート・
ソース間に基準電源12が、 Nch MOSFET 7の
ゲート・ソース間に基準電源13が夫々接続さ
れている。 Nch MOSFET 6のドレインと供給
電源1との間に Pch MOSFET 3が、 Nch M
OSFET 7のドレインと供給電源1との間に
 Pch MOSFET 4が夫々接続されており、 Pch
MOSFET 3、4はカレントミラー回路を構成
している。

Pch MOSFET 4のドレインと Nch MOSFET 6の
ゲート・ソース間に接続点aがある。

3 :

は大きくなる。

そこで、この実施例においては、基準電源12
の電圧値 V_{12} を基準電源13の電圧値 V_{13} よりも高
くし、温度変化に対して Nch MOSFET 7のド
レイン電流はほとんど変化しないようにしてい
るのに対し、 Nch MOSFET 6のドレイン電流
は大きく変化するようにしている。また、常温
(-25°C)で接続点aの電位がハイレベルとなる
ように、 Nch MOSFET 7の W/L を既定する。

Nch MOSFET 6、7が同一の温度環境内に
あり、温度が上昇すると、 Nch MOSFET 7の
ドレイン電流はそれほど変化しないが、 Nch M
OSFET 6のドレイン電流の減少とともに Pch
MOSFET 4のドレイン電流は減少し、既定の
温度になると、 Pch MOSFET 4のドレイン電流
が Nch MOSFET 7のドレイン電流よりも少
くなり、接続点aの電位はローレベルIC反転
する。したがって、 Nch MOSFET 6、7の W/L
を適宜既定することにより、接続点aの電位
がハイレベルからローレベルに反転することか
が特徴である。

T_7 のドレインとの接続点aはインバータ11を
ともに構成する Pch MOSFET 5のゲートと N
 ch MOSFET 10のゲートとに接続され、これら
 Pch MOSFET 5のドレインと Nch MOSFET
10のドレインとの接続点が Nch MOSFET 9の
ゲートに接続されている。

Nch MOSFET 9のドレインは接続点a IC。
そのソースは Nch MOSFET 8のドレインに夫
々接続されている。 Nch MOSFET 8のゲート
は基準電源8 IC接続されている。

かかる構成により、 Nch MOSFET 6のドレ
イン電流と Pch MOSFET 4のドレイン電流と
は常に寄しい。

ところで、MOSFETにおいては、温度変化
によってドレイン電流が変化し、しかも、この
ドレイン電流の変化の程度はゲート・ソース間
電圧 V_{GS} によって異なる。その例を第2図に示
すが、同図から明らかのように、ドレイン電流
の変化特性は温度が上昇するにつれて矢印の方
に向かって変化し、ゲート・ソース間が高い程変化量

4 :

ら異常温度になったことを検出することができる。
点aの電位は検出出力として図示しない程
度に供給される。

また、これと同様に、点aの電位はインバー
タ11で反転されて Nch MOSFET 9のゲートに
供給される。接続点aの電位がローレベルICな
ると、 Nch MOSFET 8がオンして Nch MOSF
ET 7 IC並列に接続される。これにより、接続
点aの電位のローレベルは、 Nch MOSFET 7
だけが動作よりも低いレベルとなる。

次に、温度が下降すると、 Nch MOSFET 6
のドレイン電流が増加し、これにともなって、
 Pch MOSFET 4のドレイン電流も増加するが、
 Nch MOSFET 7のみが接続点aに接続されて
いる場合よりも接続点aの電位の上昇率は低く、
先の接続点aの電位がハイレベルからローレ
ベルへ反転したときの温度よりも低い温度で、す
なわち、 Nch MOSFET 7、8のドレイン電流
の和よりも Pch MOSFET 4のドレイン電流が
大きくなつたとき、この電位はローレベルから

5 :

ハイレベルに反転する。これによって、*Nch MOSFET* 9はオフとなり、*Nch MOSFET* 8は接続点αから切り離される。

このようにして、この実施例では、異常温度検出のために、第3図に示すように、ヒステリシス特性が生ずるようとしている。なお、同図において、 T_1 は接続点αの電位がハイレベルからローレベルへ反転するときの温度であり、 T_2 は同じくローレベルからハイレベルへ反転する温度である。このヒステリシス特性をもたせることにより、異常温度の近傍での擬似的な安定化を防止できる。

第4図は本発明による温度検出回路の他の実施例を示す回路図であり、23～26は*Pch MOSFET*、27～31は*Nch MOSFET*、32、33は夫々電圧が V_1 、 V_2 の定電圧源である。

この実施例の動作は、第3図での説明と同様であり、*Nch MOSFET* 27、29のゲート・ソース間電圧 V_{os} を異なる値として、ドレイン電流のその温度特性の違いを利用しているのであ

る。常温では、*Pch MOSFET* 24と*Nch MOSFET* 29の接続点βの電位が、ローレベルとなるよう、*Nch MOSFET* 27、29のW/Lを設計する。したがって、*Nch MOSFET* 28はオフしている。*Nch MOSFET* 29のゲート・ソース間電圧 V_{os} は V_1 であり、*Nch MOSFET* 27のそれは($V_2 - V_1$)である。接続点βの電位がローレベルになるには*Pch MOSFET* 24のドレイン電流と*Nch MOSFET* 29のドレイン電流がほぼ等しくなければよい。*Pch MOSFET* 24のドレイン電流は、*Pch MOSFET* 23と24がカレントミラーレンジを構成しているので、*Nch MOSFET* 27のそれと等しい。

そこで、上述したようなゲート・ソース間電圧 V_{os} に差があり、また、ドレイン電流はW/Lに比例するから、*Nch MOSFET* 27、29の夫々のW/L(27)とW/L(29)との間には、

$$W/L(27) > W/L(29) \dots (1)$$

の関係が得られる。

また、このゲート・ソース間電圧 V_{os} の差に

· 7 ·

より、*Nch MOSFET* 29のドレイン電流の方が温度上昇に伴って大きく減少する。よって、所定の温度まで上昇すると、接続点βの電位はローレベルからハイレベルに反転する。これにより、*Pch MOSFET* 25と*Nch MOSFET* 30のドレイン接続点はハイレベルからローレベルに変化する。これを異常温度の検出出力とする。この検出出力を*Pch MOSFET* 26と*Nch MOSFET* 31で構成したインバータに入力し、その出力で*Nch MOSFET* 28をオン、オフする。異常温度の検出出力がローレベルになると、*Nch MOSFET* 28がオンして、*Nch MOSFET* 27、29のゲート・ソース間電圧 V_{os} がほぼ等しくなる。このとき、前述の(1)式の関係があるために、*Nch MOSFET* 27のドレイン電流が増加し、正帰還がかかることとなる。また、温度降下時に、本保護回路の解除温度が、*Nch MOSFET* 28を抜けたために、その検出温度より降下する。このようにしてヒステリシス特性が得られる。

第5図は本発明による温度検出回路のさらに

他の実施例を示す回路図であり、34～37は*Pch MOSFET*、38～41は*Nch MOSFET*、42は定電圧源、43は抵抗である。

この実施例の動作は、*Nch MOSFET* 38のドレイン電流の温度特性を利用して、このドレイン電流を*Pch MOSFET* 34、35で構成したカレントミラーレンジ回路で抵抗43に流し、そこに生じる電圧で異常温度を検出する。*Pch MOSFET* 35と抵抗43の接続点αの電位は、常温でハイレベルであり、所定の温度でローレベルになるよう設計してある。

この接続点αを、*Pch MOSFET* 36、*Nch MOSFET* 40で構成したインバータの入力端子と接続し、そのインバータの出力で*Nch MOSFET* 39をオン、オフする。上記接続点αの電位がローレベルになると、*Nch MOSFET* 39がオンして正帰還することになる。前述と同様に、温度降下時には、*Nch MOSFET* 39のドレイン電流分だけ、解除温度にヒステリシス特性を放げることができる。この実施例では、基準電圧は

· 8 ·

1つで済むという効果がある。

次に、本発明の応用例について説明する。

第6図は、第1図に示す本発明による温度検出回路を用いたスイッチングレギュレータのブロック図であり、1は供給電源、2は本発明による温度検出回路、14はスイッチング手段、15はダイオード、16はコイル、17はコンデンサ、18は負荷、19は出力電圧検出手段、20は基準電源、21は誤差増幅器、22はPWM(パルス幅変調)波発生回路である。

上記構成のスイッチングレギュレータの動作について第7図の波形図を参照して以下説明する。なお、第7図(a)はスイッチング手段14の出力波形を示し、第7図(b)は負荷18にかかる電圧波形を示す。

スイッチング手段14がオンする期間 T_{on} には、供給電源1の電圧 V_{in} が負荷18に直接供給される。スイッチング手段14がオフする期間 T_{off} には、オン期間 T_{on} にコイル16に蓄積したエネルギーをダイオード15を介して放出することによ

り、負荷18に電力に供給する。以上のようにして、第5図(b)の如く、負荷18に連続的に電力を供給する。このときの出力電圧 V_{out} は次式のよう表わされる。

$$V_{out} = \frac{T_{on}}{T_{on}+T_{off}} \times V_{in} \quad \dots (2)$$

ここで、供給電源1の変動に対しては、 T_{on} を適当に変化させて出力電圧を安定化している。例えば、 V_{in} がわずか上昇するとき、出力電圧 V_{out} も上昇する。その変化は、出力電圧検出手段19を介して、誤差増幅器21に入力される。この誤差増幅器21の出力変化で、PWM波発生回路22の出力の T_{on} 期間に相当する部分が短くなり、 V_{out} の上昇をおさえ、出力電圧を安定化することができる。

負荷18に、例えばモータを使用した場合には、このモータの起動時及び過負荷時には、定常回転時に比べて大電流が必要となる。このスイッチングレギュレータの保護回路としては、この過負荷状態が続いたときのスイッチング手段14

・11・

即ちパワートランジスタの異常発熱から始値に至るのを防止する必要がある。そこで、このスイッチングレギュレータの制御部(PWM波発生回路22、誤差増幅器21、基準電源20、出力電圧検出手段19)とスイッチング手段14を1チップのIC即ちパワーICで形成する場合、このスイッチング手段14の異常発熱を検出するために、このパワーICに温度検出回路2を設ける。この温度検出回路2によって、ICチップの温度を検出し、所定の温度(通常はPN接合温度の最大定格150°C)まで上昇したときには、温度検出回路2の出力でPWM波発生回路22を介してスイッチング手段14をオフさせるものである。

〔発明の効果〕

以上説明したように、本発明によれば、パワーICをMOSFETで形成し、MOSFETのゲート・ソース間電圧の相違によって、流れるドレイン電流の温度係数が異なることを利用して、温度検出を行っているため簡単な回路構成でパ

ワーICの異常温度保護回路を構成できる。

4 図面の簡単な説明

第1図は、本発明による温度検出回路の一実施例を示す回路図。第2図はMOSFETにおけるゲート・ソース間電圧とドレイン電流の温度特性図。第3図は第1図の実施例のヒステリシス特性図。第4図および第5図は夫々本発明による温度検出回路の他の実施例を示す回路図。第6図は本発明による温度検出回路の一応用例を示すブロック図。第7図は第6図の各部の信号を示す波形図である。

1…供給電源

2…本発明による温度検出回路

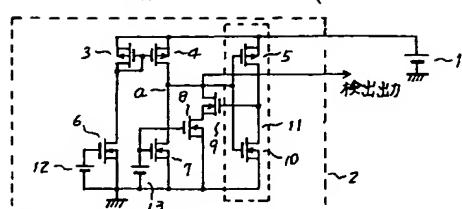
代理人弁理士 小川勝男

・15・

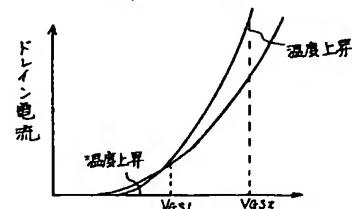
—130—

・14・

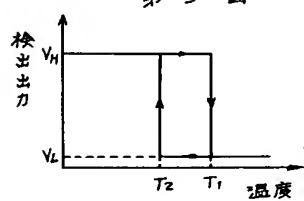
第 1 図



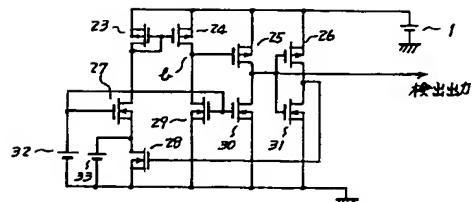
第 2 図



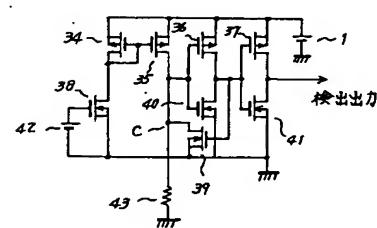
第 3 図



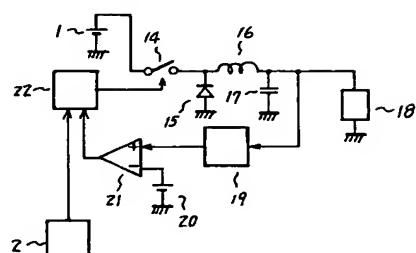
第 4 図



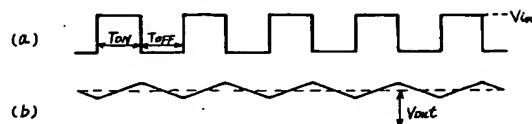
第 5 図



第 6 図



第 7 図



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)